

YMU759

MA-2

暫定カタログ

2000.2.18

概要

YMU759 は、FM シンセサイザと ADPCM デコーダを持ち、高音質な音楽演奏が可能な携帯電話用音源 LSI です。音源にはヤマハ独自の FM シンセサイザーを搭載し、最大 16 音までそれぞれ異なる音色で同時に発音することができます。また、この FM シンセサイザーの演奏と同期させて ADPCM データを同時に発音することができるため、サンプリングされた様々な音声を効果音として使うことが可能です。演奏データは FIFO を介して随時解釈されるため長さ（演奏時間）に制限がなく、着信メロディ配信サービスをはじめとする様々なアプリケーションに柔軟に対応できます。

ハードウェアシーケンサを内蔵しているため、携帯電話の CPU に負担を掛けることなく複雑な演奏が可能です。

最大出力が 550mW(AVDD=3.6V)でリップル除去率の高いスピーカアンプを内蔵しており、また、パイプレータや LED を音楽に同期して制御する為の回路も内蔵しています。

特徴

FM 音源機能及び ADPCM 再生機能を搭載

FM 音源の同時発音数は、
2 オペレータ音色のみ使用の場合：最大 16 音同時発音可能
4 オペレータ音色のみ使用の場合：最大 8 音同時発音可能

4bit, 1ch の ADPCM デコーダを内蔵し、4kHz, 8 kHz のサンプリング周波数をサポート
最大出力 550mW(AVDD=3.6V)のスピーカアンプ内蔵

ハードウェアシーケンサー内蔵

音質補正イコライザ用回路内蔵

ステレオ対応

16-bit ステレオ D/A コンバータを内蔵

ヘッドフォン用ステレオアナログ出力端子をサポート

シリアルインターフェイス及びパラレルインターフェイスを内蔵

PLL を内蔵し、2MHz ~ 20MHz のマスタークロック入力をサポート

パワーダウンモードをサポート (Typ 1uA 以下)

電源は、スピーカアンプ専用のアナログ電源、及びその他の電源の 2 系統

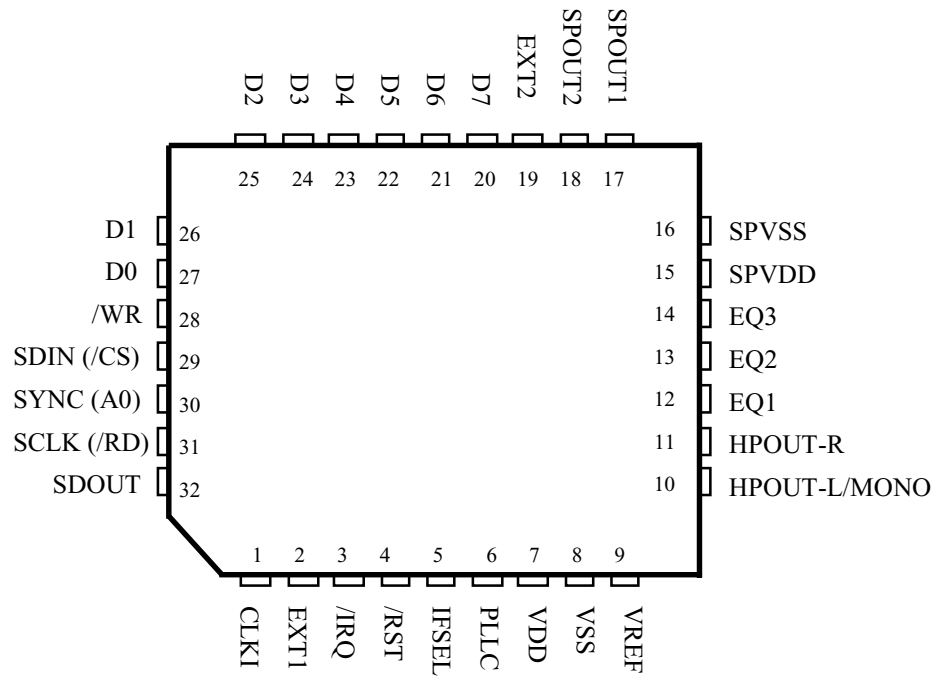
スピーカアンプ用電源 (SPVDD) は 2.7V ~ 4.5V(Typ 3.6V)

その他の電源 (VDD) は 2.7V ~ 3.3V (Typ 3.0V)

32-pin プラスチック QFN

本冊子の内容は目標仕様であり、予告なく変更される場合があります。
本製品のご使用に際しましては改めて仕様のご確認をお願い致します。

端子配置图



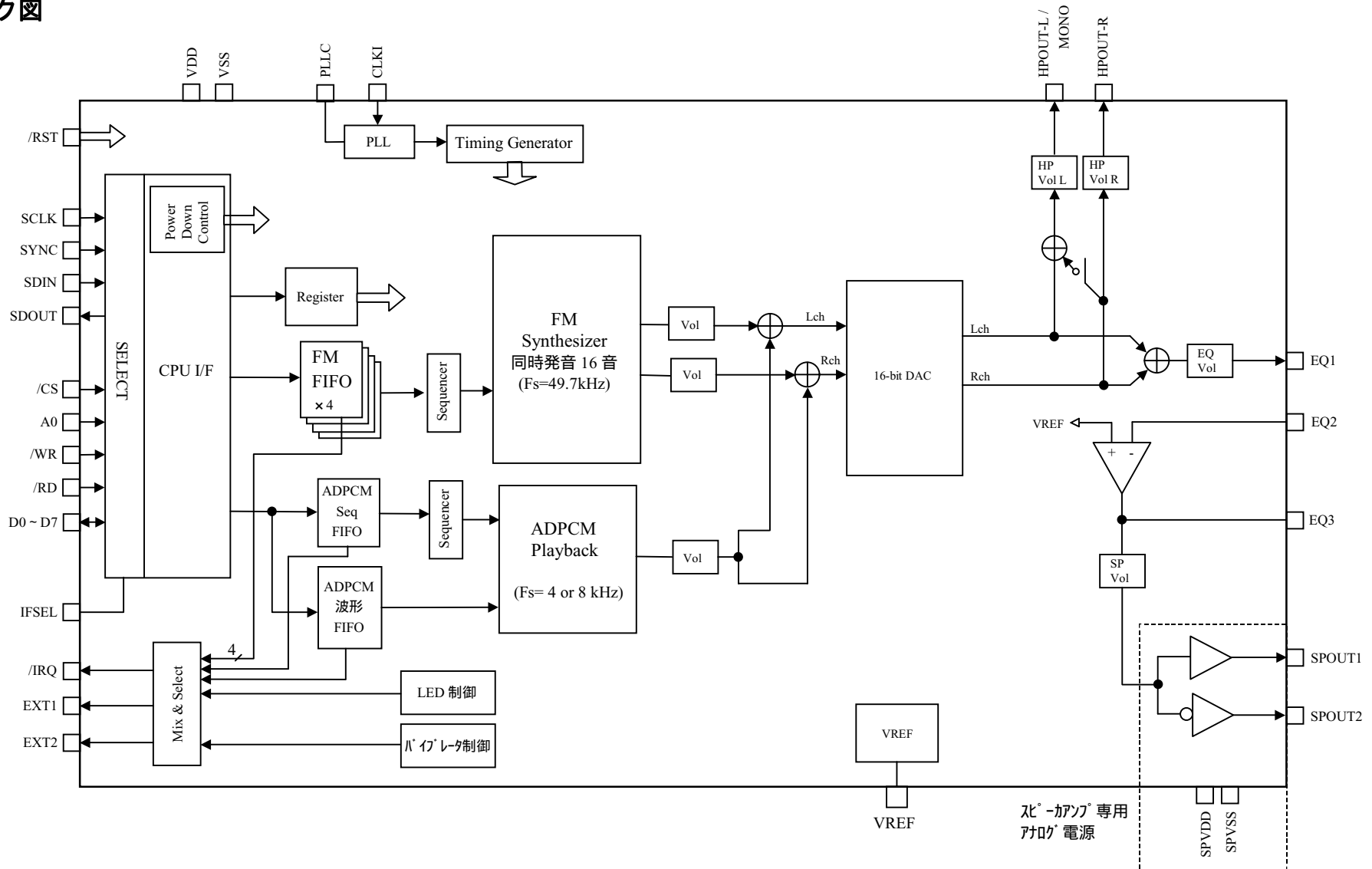
<32pin QFN Top View>

端子機能

No.	端子名	I/O	機能
1	CLKI	Ish	クロック入力端子 (2~20MHz)
2	EXT1	O	外部制御端子 1
3	/IRQ	O	割り込み出力端子
4	/RST	Ish	ハードウェアリセット入力端子
5	IFSEL	I	CPU I/F 選択。 L : シリアル I/F、 H : パラレル I/F
6	PLL C	A	内蔵 PLL 用コンデンサ接続端子 0.01 μ F (予定) のコンデンサを本端子と VSS の間に接続して下さい。
7	VDD	-	電源供給 (Typ +3.0V) 0.1 μ F と 4.7 μ F のコンデンサを本端子と VSS の間に接続して下さい。
8	VSS	-	グランド
9	VREF	A	アナログ基準電圧端子 0.1 μ F のコンデンサを本端子と VSS 間に接続して下さい。
10	HPOUT-L / MONO	A	ヘッドフォン出力 Lch / レジスタ設定で MONO 出力にする事が可能
11	HPOUT-R	A	ヘッドフォン出力 Rch
12	EQ1	A	イコライザ用端子 1
13	EQ2	A	イコライザ用端子 2
14	EQ3	A	イコライザ用端子 3
15	SPVDD	-	スピーカアンプ用アナログ電源供給 (Typ +3.6V) 0.1 μ F と 4.7 μ F のコンデンサを本端子と SPVSS の間に接続して下さい。
16	SPVSS	-	スピーカアンプ用アナロググランド
17	SPOUT1	A	スピーカ接続端子 1
18	SPOUT2	A	スピーカ接続端子 2
19	EXT2	O	外部制御端子 2
20	D7	I/O	パラレル I/F データバス 7
21	D6	I/O	パラレル I/F データバス 6
22	D5	I/O	パラレル I/F データバス 5
23	D4	I/O	パラレル I/F データバス 4 (IFSEL 端子=L 時は無接続)
24	D3	I/O	パラレル I/F データバス 3 (IFSEL 端子=L 時は無接続)
25	D2	I/O	パラレル I/F データバス 2 (IFSEL 端子=L 時は無接続)
26	D1	I/O	パラレル I/F データバス 1 (IFSEL 端子=L 時は無接続)
27	D0	I/O	パラレル I/F データバス 0 (IFSEL 端子=L 時は無接続)
28	/WR	Ish	パラレル I/F ライトパルス (IFSEL 端子=L 時は無接続)
29	SDIN (/CS)	Ish	IFSEL 端子 = L シリアル I/F データ入力 IFSEL 端子 = H パラレル I/F チップセレクト入力
30	SYNC (A0)	Ish	IFSEL 端子 = L シリアル I/F データ取り込み信号 IFSEL 端子 = H パラレル I/F アドレス信号
31	SCLK (/RD)	Ish	IFSEL 端子 = L シリアル I/F ビットクロック入力 IFSEL 端子 = H パラレル I/F リードパルス
32	SDOUT	OD	シリアル I/F データ出力 (外部にプルアップ抵抗が必要です)

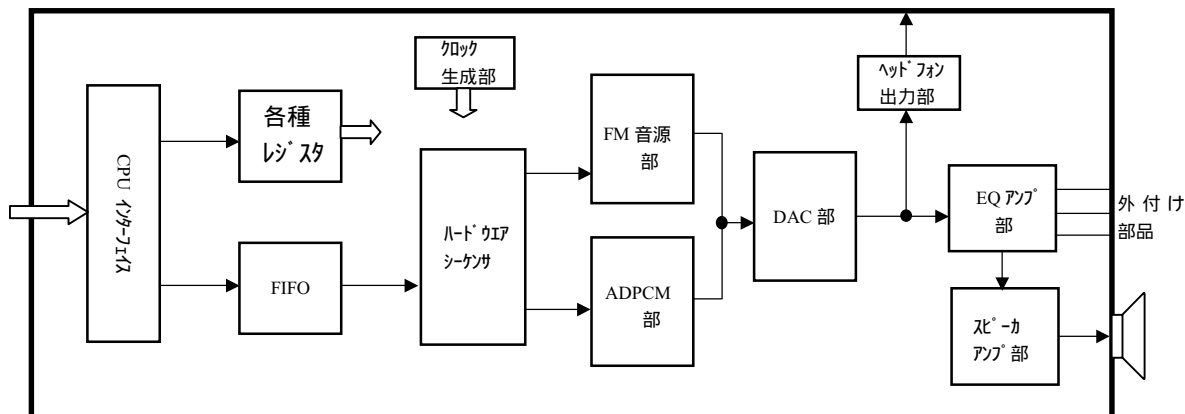
Comment : Ish= シュミット入力 OD= オープンドレイン端子 A= アナログ端子

ブロック図



各ブロック概略説明

内蔵されている各ブロックの概略機能、及び信号の流れについて説明します。



CPU インターフェイス部

外部 CPU から送られてくるコマンドを受け取り、内容を解釈後、Index アドレス別にレジスタや FIFO にデータを書き込みます。また、指定されたレジスタデータのリードを制御します。YMU759 を制御するインターフェイスとして、4 線のシリアル I/F、12 線のパラレル I/F が用意されており、IFSEL 端子でインターフェイスの選択が可能です。

各種レジスタ

YMU759 の動作を制御するレジスタ群です。

FIFO

ハードウェアシーケンサを動作させるシーケンスデータの格納、及び ADPCM の波形データを格納する FIFO です。

FM 用に FIFO が 4 つ、ADPCM 用に 2 つの FIFO が搭載されています。

FM 用 FIFO にはシーケンスデータ、ADPCM 用 FIFO にはシーケンスデータと波形データがそれぞれ格納されます。FIFO のサイズは FM 用が各 96Byte、ADPCM 波形データ用に 384Byte、ADPCM シーケンスデータ用に 32Byte です。

ハードウェアシーケンサ

シーケンサの前段にある FIFO からシーケンスデータを読み出し、FM 部や ADPCM 部をコントロールするハードウェアです。

シーケンスデータはヤマハが提唱する SMAF “Synthetic music Mobile Application Format” に対応しています。

FM 音源部

ヤマハ独自の FM 方式を採用した音源部です。最大 16 音の同時発音可能です。

シーケンサからの命令に従い、演奏を行います。

また、シーケンサを使わずに各種レジスタをダイレクトに制御して演奏させる事も可能です。

サンプリング周波数は 49.7kHz で、ステレオ対応です。

ADPCM 部

サンプリング周波数 4kHz もしくは 8kHz で、4bit の ADPCM データ から 16-bit にデコードします。1 音再生可能です。

シーケンサからの命令に従い、再生を行います。

また、シーケンサを使わずに各種レジスタをダイレクトに制御して再生させる事も可能です。

DAC 部

FM、ADPCM 部からのデジタル信号をアナログの音声信号に変換します。
16-bit 精度の分解能を持っています。

ヘッドフォン出力部

ヘッドフォン用にステレオアナログ出力をサポートしています。設定次第でモノラルで出力も可能です。
出力レベルを調整する Volume を備えています。

EQ アンプ部

外部に抵抗、コンデンサの外付け部品を接続することでフィルタ特性やゲインの設定が出来ます。

スピーカアンプ部

AVDD=3.6 時に最大出力 550mW のスピーカアンプが内蔵されています。
アンプの前段には出力レベルを調整する Volume も備えています。
高いリップル除去率を実現しています。
また、スピーカ出力端子の短絡保護回路も搭載しています。

クロック生成部

CLKI 端子から入力される 2~20MHz を、内蔵 PLL でクロックアップし、必要とするクロックを作り出すブロックです。
ここで作り出されたクロックは、内部デジタル回路に供給されています。

電気的特性

絶対最大定格

項目	記号	最小	最大	単位
電源電圧 (スピーカアンプ部)	AV _{DD}	-0.3	6.0	V
電源電圧 (その他)	DV _{DD}	-0.3	4.2	V
アナログ入力電圧	V _{INA}	-0.3	AV _{DD} +0.3	V
デジタル入力電圧	V _{IND}	-0.3	DV _{DD} +0.3	V
動作周囲温度	T _{OP}	-20	85	°C
保存温度	T _{STG}	-50	125	°C

注) VSS = SPVSS = 0V

推奨動作条件

項目	記号	最小	標準	最大	単位
動作電圧 (スピーカアンプ部)	AV _{DD}	2.7	3.6	4.5	V
動作電圧 (それ以外)	DV _{DD}	2.7	3.0	3.3	V
動作周囲温度	T _{OP}	-20	25	85	°C

注) VSS = SPVSS = 0V

直流特性

項目	記号	条件	最小	標準	最大	単位
入力電圧 “H”レベル	V _{IHI}		$0.7 \times DV_{DD}$	-	-	V
入力電圧 “L”レベル	V _{ILI}		-	-	$0.2 \times DV_{DD}$	V
出力電圧 “H”レベル	V _{OHI}	I _{OL} = *1	$0.8 \times DV_{DD}$	-	-	V
出力電圧 “L”レベル	V _{OLI}	I _{OH} = *1	-	-	0.4	V
シュミット幅	V _{sh}			1.0		V
入力リーク電流	IL		-10		10	μA
入力容量	CI				10	pF

注) T_{OP}=-20 ~ 85°C, VDD=3.0±0.3V, Capacitor load=50pF

*1 /IRQ, SDO_{UT}, D0 ~ D7 は I_{OH}, I_{OL}=2mA, (但し SDO_{UT} は I_{OL} のみ)

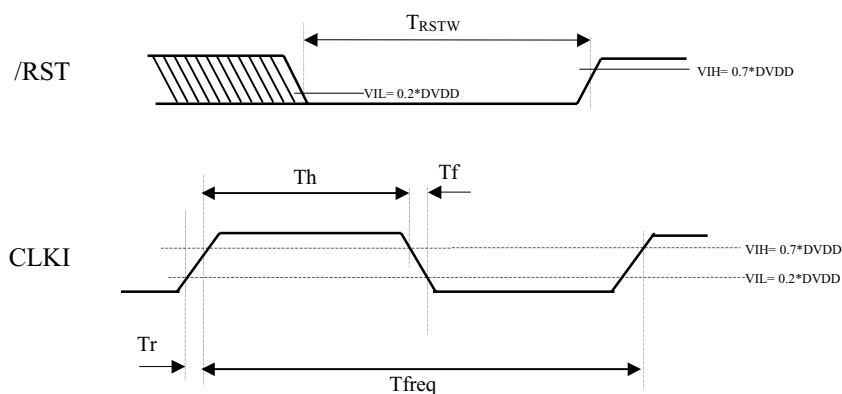
EXT1, EXT2 は I_{OH}, I_{OL}=6mA

交流特性

/RST, CLKI

項目	記号	最小	標準	最大	単位
/RST アクティブ “L”パルス幅	T_{RSTW}	1024			$\times CLKI$
CLKI 周波数	$1 / T_{freq}$	2		20	MHz
CLKI 立ち上がり/立ち下がり時間	T_r / T_f			30	ns
CLKI デューティ	T_h/T_{freq}	30	50	70	%

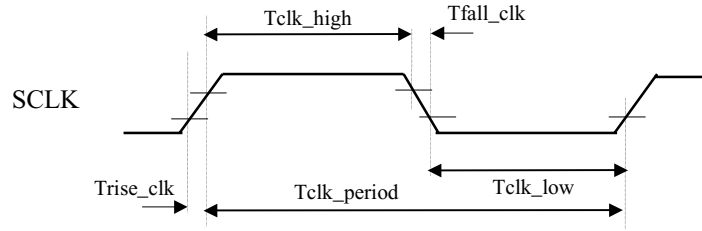
注) $T_{Op}=-20 \sim 85^{\circ}C$, $VDD=3.0\pm 0.3V$, Capacitor load=50pF



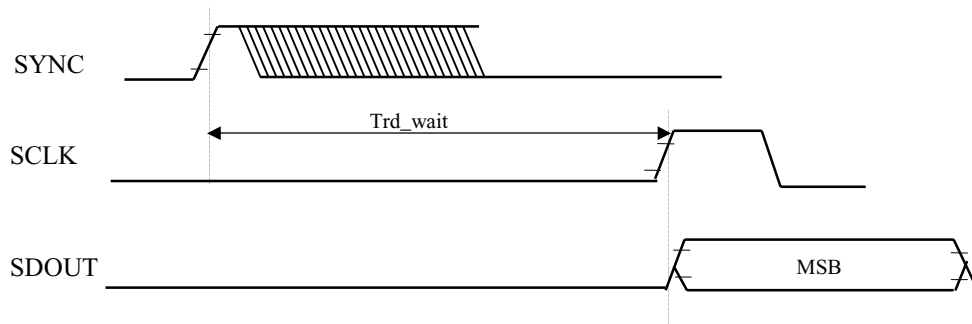
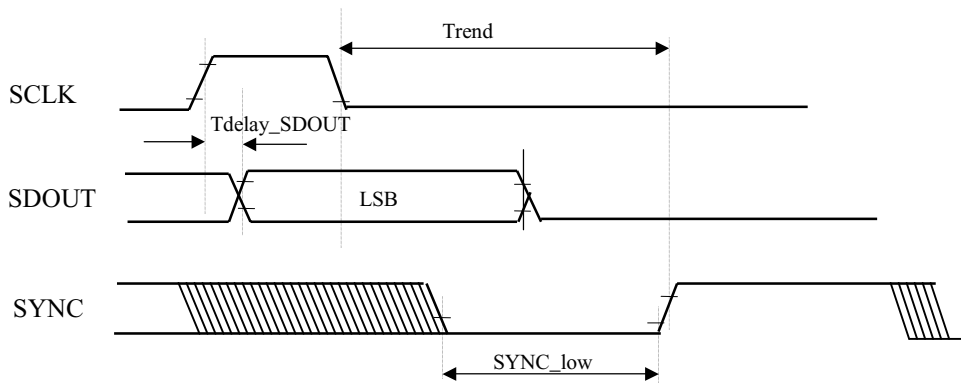
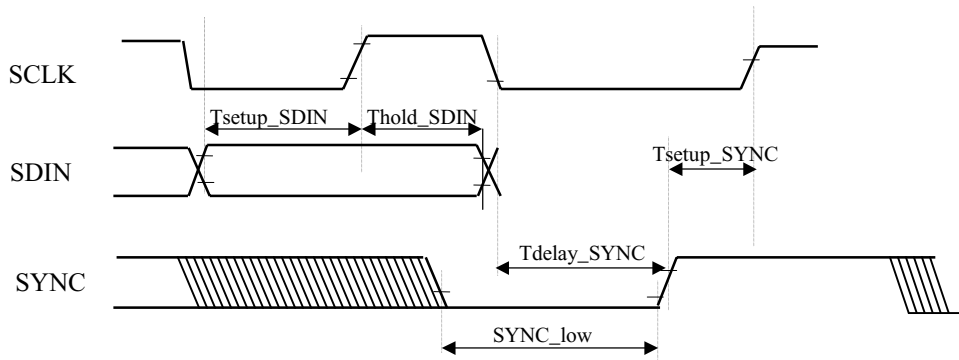
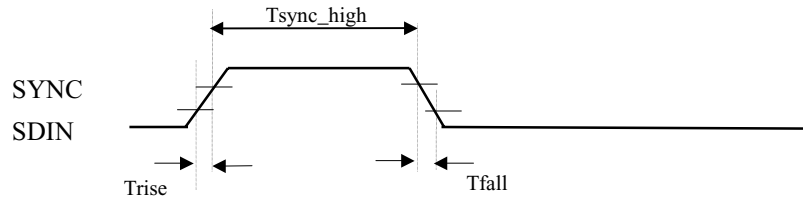
シリアル I/F

項目	記号	最小	標準	最大	単位
SCLK クロック周期	T_{clk_period}	80			ns
SCLK “L”パルス幅	T_{clk_low}	20			ns
SCLK “H”パルス幅	T_{clk_high}	20			ns
SCLK 立ち上がり時間	T_{rise_clk}			30	ns
SCLK 立ち下がり時間	T_{fall_clk}			30	ns
SYNC “H”パルス幅	T_{sync_high}	30		-	ns
SYNC “L”パルス幅	T_{sync_low}	30			ns
SYNC / SDIN 立ち上がり時間	T_{rise}			30	ns
SYNC / SDIN 立ち下がり時間	T_{fall}			30	ns
SYNC デレイ時間	T_{delay_SYNC}	0			ns
SUNC -> SCLK セットアップ時間	T_{setup_SYNC}	50			ns
SDIN セットアップ時間	T_{setup}	20			ns
SDIN ホールド時間	T_{hold}	20			ns
SDOUT 遅延時間	T_{delay_SDOUT}			30	ns
Read Command 解除時間	T_{trend}	50			ns
Read ウェイト時間	T_{rd_wait}	300			ns

注) $T_{Op}=-20 \sim 85^{\circ}C$, $VDD=3.0\pm 0.3V$, Capacitor load=50pF



測定ポイント
 $V_{IH} = 0.7 \cdot V_{DD}$
 $V_{IL} = 0.2 \cdot V_{DD}$
 $V_{OH} = 0.8 \cdot V_{DD}$
 $V_{OL} = 0.4V$



パラレル I/F (ライトサイクル)

項目	記号	Min	Max	単位
チップセレクト幅	T_{CSW}	100		ns
アドレスセットアップ時間	T_{AS}	10		ns
ライトパルス幅	T_{WW}	50		ns
データセットアップ時間	T_{WDS}	30		ns
データホールド時間	T_{WDH}	0		ns

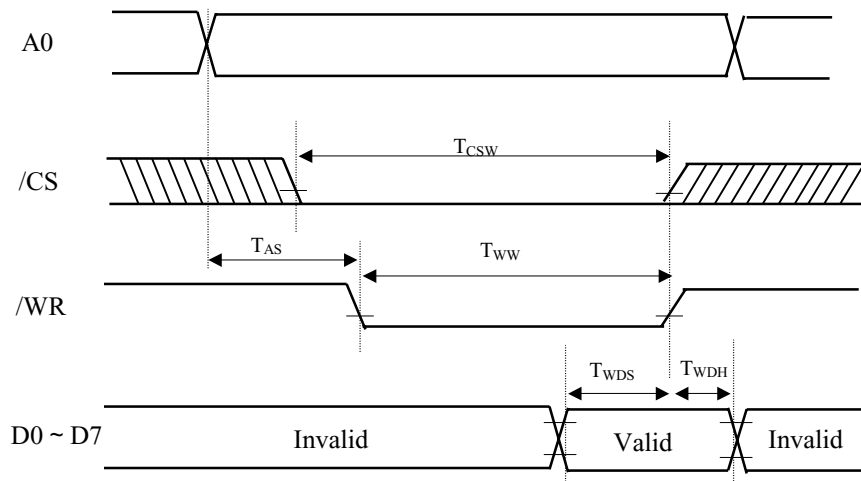
$T_{Op} = -20 \sim 85^{\circ}C$, $VDD = 3.0 \pm 0.3V$, Capacitor load = 50pF

(リードサイクル)

項目	記号	Min	Max	単位
チップセレクト幅	T_{CSR}	100		ns
アドレスセットアップ時間	T_{AS}	0		ns
リードパルス幅	T_{RW}	80		ns
リードデータアクセス時間	T_{ACC}		70	ns
データホールド時間	T_{RDH}	10	50	ns

$T_{Op} = -20 \sim 85^{\circ}C$, $VDD = 3.0 \pm 0.3V$, Capacitor load = 50pF

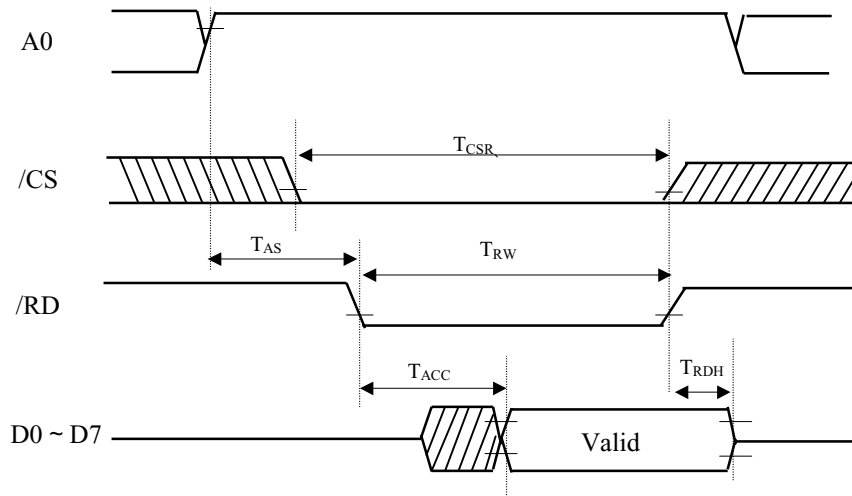
ライトサイクル



注) T_{CSW} 、 T_{WW} 、 T_{WDH} は、/CS、/WR のどちらかが High レベルになった時を基準とする。

測定ポイント
$V_{IH} = 0.7 * VDD$
$V_{IL} = 0.2 * VDD$
$V_{OH} = 0.8 * VDD$
$V_{OL} = 0.4V$

リードサイクル



注) T_{ACC} は、/CS、/RD のどちらか遅く Low レベルになった時を基準とする。

T_{CSR}、T_{RW}、T_{RDH} は、/CS、/RD のどちらかが High レベルになった時を基準とする。

測定ポイント
 VIH = 0.7*VDD
 VIL = 0.2*VDD
 VOH = 0.8*VDD
 VOL = 0.4V

消費電流

項目	最小	標準	最大	単位
VDD 側の消費電流 (通常動作時)		10(予想)		mA
SPVDD 側 無発音時		5(予想)		mA
SPVDD 側 8ohm 負荷 500mW 出力時		TBD		mA
パワーダウンモード (VDD + SPVDD)		0.1	1(予想)	μA

注) T_{OP}=-20 ~ 85°C, VDD=3.0±0.3V、SPVDD=3.6V

アナログ特性

SP アンプ

項目	最小	標準	最大	単位
ゲイン設定 (固定)		±2		倍
最小負荷抵抗 (RL)		8		Ω
最大出力電圧振幅 (RL=8Ω)		6.0		Vp-p
最大出力電力 (RL=8Ω、THD+N 0.05%)		520		mW
最大出力電力 (RL=8Ω、THD+N 1.0%)		600		mW
THD + N (RL=8Ω、f=1kHz、500mW 出力時)		TBD		%
無信号時雑音(A-filter: 聴感補正フィルタ)		-90		dBv
PSRR (f=1kHz)		TBD		dB

注) $T_{Op}=25^{\circ}C$, $VDD=3.0V$, $SPVDD=3.6V$

EQ アンプ

項目	最小	標準	最大	単位
ゲイン設定可能範囲			30	dB
最大出力電流	120			μA
最大出力電圧振幅		1.5		Vp-p
THD + N (f=1kHz)			TBD	%
無信号時雑音 (A-filter)		-90		dBv
入力インピーダンス	10			MΩ

注) $T_{Op}=25^{\circ}C$, $VDD=3.0V$, $SPVDD=3.6V$

SP Volume

項目	最小	標準	最大	単位
Volume 設定範囲	-30		0	dB
Volume ステップ幅		1		dB
無信号時雑音 (A-filter)		-90		dBv
THD + N (f=1kHz)			TBD	%

注) $T_{Op}=25^{\circ}C$, $VDD=3.0V$, $SPVDD=3.6V$

EQ Volume

項目	最小	標準	最大	単位
Volume 設定範囲	-30		0	dB
Volume ステップ幅		1		dB
無信号時雑音 (A-filter)		-90		dBv
最大出力電流	120			μ A
最大出力電圧振幅		1.5		Vp-p
出力インピーダンス		300	600	Ω

注) $T_{Op}=25^{\circ}C$, $VDD=3.0V$ 、 $SPVDD=3.6V$

HP Volume

項目	最小	標準	最大	単位
Volume 設定範囲	-30		0	dB
Volume ステップ幅		1		dB
無信号時雑音 (A-filter)		-90		dBv
最大出力電流	120			μ A
最大出力電圧振幅		1.5		Vp-p
出力インピーダンス		300	600	Ω

注) $T_{Op}=25^{\circ}C$, $VDD=3.0V$ 、 $SPVDD=3.6V$

VREF

項目	最小	標準	最大	単位
VREF 電圧		$\times 1/2$		VDD

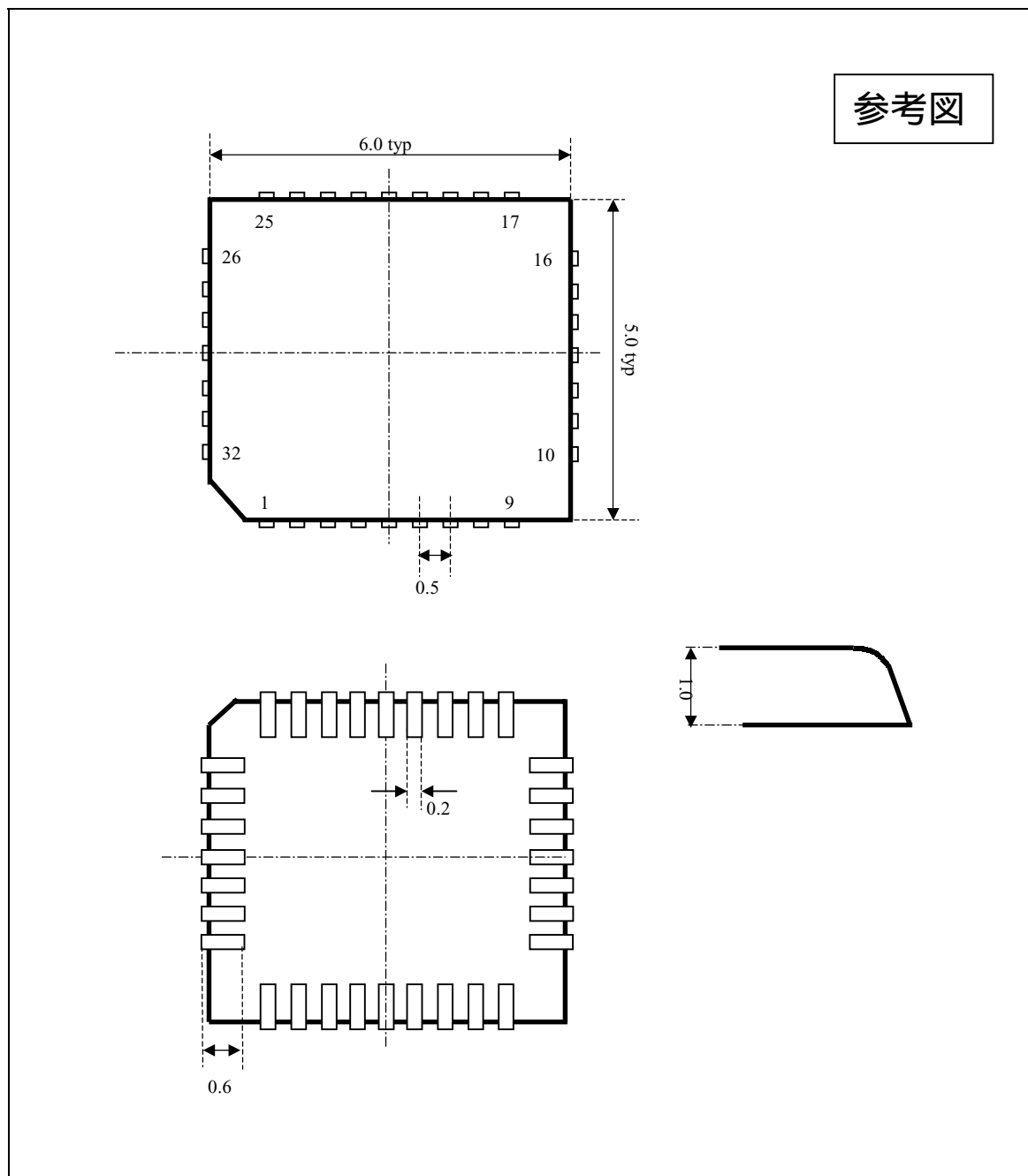
注) $T_{Op}=25^{\circ}C$, $VDD=3.0V$ 、 $SPVDD=3.6V$

DAC

項目	最小	標準	最大	単位
分解能		16		Bit
フルスケール出力電圧		1.5		Vp-p
THD+N ($f=1kHz$)			0.5	%
無信号時雑音 (A-filter)		-90		dBv
周波数特性 ($f=50Hz \sim 12kHz$)	-0.5		+0.5	dB

注) $T_{Op}=25^{\circ}C$, $VDD=3.0V$ 、 $SPVDD=3.6V$

パッケージ外形図



パッケージ裏面にフレームステージが露出するタイプが標準となります。

モールドコーナー形状は、本図面と若干異なるタイプもあります。

モールド外形寸法はバリを含みません。

単位(UNIT) : mm(millimeters)

注) 表面実装 LSI は保管条件及び、半田付けについての特別な配慮が必要です。

詳しくはヤマハ代理店へお問い合わせ下さい。

重要なお知らせ

1. 本製品は用途によっては外国為替及び外国貿易管理法に定める貨物または技術（役務）に該当する場合があります。該当する貨物または技術を輸出する場合は同法に基づく日本政府の輸出許可が必要です。詳しくは弊社営業所へお問い合わせ下さい。
2. 本製品及び本文書は、何らの通知なしに変更される場合があります。本製品をご使用になる前に、最新のカatalog、マニュアル等を弊社代理店よりお取り寄せ下さい。
3. 本製品は、直接生命のかかわる装置、原子力施設、航空機、交通機器、各種安全装置など製品の故障が直接に人の死亡、損害、または重大な物理的もしくは環境上の損害を引き起こすようなシステム機器または装置に使用するために設計されたものではありません。本製品をこの様なシステム機器または装置に使用されることによる危険及び損害は製品を使用されるお客様にご負担戴きます。
4. お客様が製品を誤った、または不適切な方法で使用または操作された結果の損害につきましては弊社は一切責任を負いません。
5. 本製品を他の製品と組み合わせてまたは他の装置に使用されることが、第三者または弊社の特許権、著作権またはその他の知的財産権の実施に該当するとしても、弊社はそれらに関して何らのライセンスも（明示であれ黙示であれ）許諾されていることを保証するものではありません。弊社は、製品のかかる使用によって生じた第三者の権利に対する侵害について、一切責任を負いません。
6. 本書に記載されている使用例は、単に本製品の機能を説明したものにすぎません。弊社は、本書に記載されている例に基づいた使用により生ずるかもしれない一切の知的財産権に関するクレームまたはその他のクレームに対して、何らの責任も負いません。

注) 本製品の仕様につきましては改良等の為、予告なく変更される場合があります。

代理店

ヤマハ株式会社

半導体事業部

営業部 〒438-0192 静岡県磐田郡豊岡村松之木島 203

Tel. 0539-62-4918 (代)

Fax. 0539-62-5054

東京営業所 〒108-8568 東京都港区高輪 2-17-11

Tel. 03-5488-5431

Fax. 03-5488-5088

大阪営業所 〒556-0011 大阪府大阪市浪速区難波中 1-13-17

なんば辻本ニッセイビル 4F

Tel. 06-6633-3690

Fax. 06-6633-3691